

04.11.2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2003年11月 7日

REC'D 28 NOV 2004

WFO

PCT

出願番号
Application Number: 特願 2003-377892

[ST. 10/C]: [JP 2003-377892]

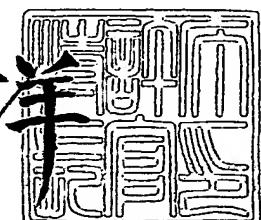
出願人
Applicant(s): 新光電気工業株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1 (a) OR (b)

2004年 8月10日

特許庁長官
Commissioner,
Japan Patent Office

小川 洋



出証番号 出証特 2004-3071410

【書類名】 特許願
【整理番号】 SD15-122
【提出日】 平成15年11月 7日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H01L 23/12
H01L 23/02

【発明者】
【住所又は居所】 長野県長野市小島田町 80 番地 新光電気工業株式会社内
【氏名】 高池 英次

【特許出願人】
【識別番号】 000190688
【氏名又は名称】 新光電気工業株式会社

【代理人】
【識別番号】 100070150
【弁理士】
【氏名又は名称】 伊東 忠彦

【手数料の表示】
【予納台帳番号】 002989
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0202532

【書類名】特許請求の範囲**【請求項 1】**

半導体チップと、

前記半導体チップが接合されるインターポーラ基材と、該インターポーラ基材に形成された貫通孔内に配設され前記半導体チップの電極と接続される複数のポスト電極とを有するインターポーラとを具備する半導体装置において、

前記半導体チップの表面と前記インターポーラ基材の表面とを直接接触させることにより一体化すると共に、前記ポスト電極を前記半導体チップの電極上に直接形成した構成としたことを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記半導体チップの材質と前記インターポーラ基材の材質が同一であることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記半導体チップの材質と前記インターポーラ基材の材質が、共にシリコンであることを特徴とする半導体装置。

【請求項 4】

請求項 1 または 2 記載の半導体装置において、

前記半導体チップの少なくとも前記インターポーラ基材と接合する位置に第 1 の絶縁材層を形成すると共に、

前記インターポーラ基材の少なくとも前記半導体チップと接合する位置に第 2 の絶縁層を形成したことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置において、

複数の前記ポスト電極が、ひとつの前記貫通孔内に配設されていることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置において、

前記インターポーラ基材に段差部を形成し、該半導体チップを前記段差部内に前記半導体チップを収納する構成としたことを特徴とする半導体装置。

【請求項 7】

貫通孔が形成されたインターポーラ基材の表面と半導体チップの表面とを直接接触させることにより、前記インターポーラ基材と前記半導体チップとを一体化する一体化工程と、

該一体化工程の終了後、前記貫通孔内でかつ前記半導体チップの電極上にポスト電極を直接形成するポスト電極形成工程と、

前記ポスト電極と電気的に接続される再配線層を形成する再配線形成工程と、

前記再配線上に外部接続電極を形成する外部接続電極形成工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 8】

半導体チップの電極上にポスト電極を直接形成するポスト電極形成工程と、

該ポスト電極形成工程の終了後、貫通孔が形成されたインターポーラ基材の表面と半導体チップの表面とを直接接触させ、前記インターポーラ基材と前記半導体チップとを一体化する一体化工程と、

前記ポスト電極と電気的に接続される再配線層を形成する再配線形成工程と、

前記再配線上に外部接続電極を形成する外部接続電極形成工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 8 記載の半導体装置の製造方法において、

前記ポスト電極を保持する絶縁材よりなる保護層を前記半導体チップに形成する保護層形成工程を有することを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に係り、特にインターポーラを介して半導体チップを実装基板に電気的に接続する構成とされた半導体装置及びその製造方法に関する。

【背景技術】

【0002】

一般に半導体装置は、半導体チップをインターポーラに接合する構造を有している。例えば、インターポーラとしてリードフレームを用いた半導体装置では、インターポーラとなるリードフレームに形成されたダイパッドに半導体チップを固定すると共に、リードフレームと半導体チップをワイヤにより電気的に接続する構造とされている。

【0003】

また、近年の半導体チップの高密度化及び多ピン化に対応するため、BGA(Ball Grid Array)、またはLGA(Land Grid Array)と称せられるパッケージ構造の半導体装置が多用されている。この半導体装置は、半導体チップにはんだバンプを形成すると共に、この半導体チップをインターポーラとなる基板にフリップチップ実装する構造が採られている。

【0004】

また、BGA或いはLGAに用いられるインターポーラは、表面にはんだバンプが接合される電極パッドが形成されると共に、背面に外部接続端子(はんだボール或いはリード)が接合される電極パッドが形成されている。また、表裏に設けられた各電極パッドは、インターポーラ基材を貫通して形成されたビアにより電気的に接続された構成とされている。

【0005】

また、このパッケージ構造では、半導体チップとインターポーラとがバンプで電気的かつ機械的に接合されるため、半導体チップとインターポーラとの機械的接合性が弱い。このため、半導体チップとインターポーラとの間に、アンダーフィル樹脂を設け、これにより半導体チップとインターポーラとの接合位置における機械的強度を高めることが行なわれている。

【0006】

一方、上記のBGA或いはLGAの他に、例えば特許文献1に示されるような、チップサイズパッケージタイプの半導体装置(以下、CSPという)が知られている。このCSPは、パッケージの形状を略半導体チップ(ペアチップ)の大きさと同等の大きさとした半導体装置である。

【0007】

このCSPは、外部接続端子としてはんだバンプ或いはポスト(半導体チップにはんだにより接合されている)が形成されており、実装基板(この実装基板もインターポーラの一種と考えられる)にフリップチップ実装される。尚、上記のポストは、半導体チップ上の電極にはんだ付け接合された構成とされている(特許文献1参照)。

【特許文献1】特開2002-164369号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、半導体装置に求められる高密度化の要求は益々厳しくなり、従前では $150\mu m$ であった端子間ピッチが、現在では $70\mu m$ の狭ピッチが要求されるようになってきている。 $150\mu m$ の端子間ピッチであればデザインルールに比較的余裕を持たせることができ、ラインアンドスペースも例えばライン幅及びラインスペースを共に $15\mu m$ 程度に設定することができる。

【0009】

しかしながら、端子間ピッチが $70\mu m$ と狭ピッチ化が進むと、半導体チップ側ではランプ間で短絡が発生してしまうという問題点が生じる。また、インターポーラ側においては、インターポーラ基材の表裏面に形成される各電極パッドや、インターポーラ基材を貫通して形成されるビアの形成が微細化のために困難となり、インターポーラの製造コストが上昇してしまうという問題点が生じる。

【0010】

本発明は上記の点に鑑みてなされたものであり、容易かつ確実に狭ピッチ化に対応しうると共に製造コストの低減を図り得る半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0012】

請求項1記載の発明は、
半導体チップと、

前記半導体チップが接合されるインターポーラ基材と、該インターポーラ基材に形成された貫通孔内に配設され前記半導体チップの電極と接続される複数のポスト電極とを有するインターポーラとを具備する半導体装置において、

前記半導体チップの表面と前記インターポーラ基材の表面とを直接接触させることにより一体化すると共に、前記ポスト電極を前記半導体チップの電極上に直接形成した構成としたことを特徴とするものである。

【0013】

上記発明によれば、半導体チップとインターポーラが直接電気的に接続されるため、半導体チップとインターポーラとの接合にバンプやアンダーフィル樹脂を設ける必要が無くなり、部品点数の削減及び半導体装置の薄型化を図ることができる。

【0014】

また、インターポーラはポスト電極により半導体チップと電気的に接続されるため、バンプによる接続構造に比べて電極間ピッチを狭ピッチ化することが可能となり、よって半導体装置の高密度化を図ることができる。

【0015】

更に、半導体チップとインターポーラ基材は直接接触されることにより一体化されているため、バンプとアンダーフィル樹脂を用いた接合力よりも強い接合力で半導体チップとインターポーラ基材とを接合することができる。

【0016】

また、請求項2記載の発明は、
請求項1記載の半導体装置において、

前記半導体チップの材質と、前記インターポーラ基材の材質が同一であることを特徴とするものである。

【0017】

上記発明によれば、半導体チップの材質とインターポーラ基材の材質が同一であるため接合性を高めることができ、よって半導体チップの表面とインターポーラ基材の表面とを確実かつ強固に一体化させることができる。

【0018】

また、請求項3記載の発明は、
請求項2記載の半導体装置において、

前記半導体チップの材質と前記インターポーラ基材の材質が、共にシリコンであることを特徴とするものである。

【0019】

上記発明のように、半導体チップの材質とインターポーザ基材の材質は、共にシリコンとすることが望ましい。

【0020】

また、請求項4記載の発明は、

請求項1または2記載の半導体装置において、

前記半導体チップの少なくとも前記インターポーザ基材と接合する位置に第1の絶縁材層を形成すると共に、

前記インターポーザ基材の少なくとも前記半導体チップと接合する位置に第2の絶縁層を形成したことを特徴とするものである。

【0021】

上記発明によれば、絶縁材層を半導体チップ及びインターポーザ基材の接合位置に形成した場合には、接合に必要な高い平滑性を持たせる領域を狭くすることができ、絶縁材層の形成を容易化することができる。また、絶縁材層を半導体チップ及びインターポーザ基材の全面に形成した場合には、この絶縁層を半導体チップ及びインターポーザ基材を保護する保護層として機能させることができる。

【0022】

また、請求項5記載の発明は、

請求項1乃至4のいずれか1項に記載の半導体装置において、

複数の前記ポスト電極が、ひとつの前記貫通孔内に配設されていることを特徴とするものである。

【0023】

上記発明によれば、ひとつの貫通孔内に複数の前記ポスト電極が配設されるため、ポスト電極の形成精度に比べ貫通孔の形成精度を低くすることができ、貫通孔の形成を容易化することができる。

【0024】

また、請求項6記載の発明は、

請求項1乃至5のいずれか1項に記載の半導体装置において、

前記インターポーザ基材に段差部を形成し、該半導体チップを前記段差部内に前記半導体チップを収納する構成としたことを特徴とするものである。

【0025】

上記発明によれば、半導体チップをインターポーザに形成された段差部内に収納できるため、半導体装置の薄型化を図ることができる。

【0026】

また、請求項7記載の発明に係る半導体装置の製造方法は、

貫通孔が形成されたインターポーザ基材の表面と半導体チップの表面とを直接接触させることにより、前記インターポーザ基材と前記半導体チップとを一体化する一体化工程と

、該一体化工程の終了後、前記貫通孔内でかつ前記半導体チップの電極上にポスト電極を直接形成するポスト電極形成工程と、

前記ポスト電極と電気的に接続される再配線層を形成する再配線形成工程と、

前記再配線上に外部接続電極を形成する外部接続電極形成工程とを有することを特徴とするものである。

【0027】

上記発明によれば、一体化工程において半導体チップとインターポーザ基材が直接接触されることにより一体化されるため、半導体チップとインターポーザとの接合にバンプやアンダーフィル樹脂を設ける必要が無くなり、製造工程の簡単化を図ることができる。

【0028】

また、一体化工程の終了後にポスト電極形成工程を実施し、貫通孔内でかつ半導体チップの電極上にポスト電極を直接形成したことにより、半導体チップとインターポーザとの間のインピーダンスの低減を図ることができ、電気的特性の向上を図ることができる。ま

た、インターPOーラ基材に形成された貫通孔を型としてポスト電極を形成することができるため、ポスト電極の形成の簡単化を図ることができる。

【0029】

また、請求項8記載の発明に係る半導体装置の製造方法は、

半導体チップの電極上にポスト電極を直接形成するポスト電極形成工程と、

該ポスト電極形成工程の終了後、貫通孔が形成されたインターPOーラ基材の表面と半導体チップの表面とを直接接触させ、前記インターPOーラ基材と前記半導体チップとを一体化する一体化工程と、

前記ポスト電極と電気的に接続される再配線層を形成する再配線形成工程と、

前記再配線上に外部接続電極を形成する外部接続電極形成工程とを有することを特徴とするものである。

【0030】

上記発明によれば、一体化工程において半導体チップとインターPOーラ基材が直接接触されることにより一体化されるため、半導体チップとインターPOーラとの接合にバンプやアンダーフィル樹脂を設ける必要が無くなり、製造工程の簡単化を図ることができる。

【0031】

また、ポスト電極形成工程において半導体チップの電極上にポスト電極を直接形成するため、半導体チップとインターPOーラとの間のインピーダンスの低減を図ることができ、電気的特性の向上を図ることができる。

【0032】

また、ポスト電極形成工程の終了後に一体化工程を実施することにより、ポスト電極形成はインターPOーラ基材に形成された貫通孔に拘わらず形成することができるため、インターPOーラ基材の貫通孔を利用してポスト電極を形成する方法に比べ、ポスト電極の微細化を図ることができる。

【0033】

また、請求項9記載の発明は、

請求項8記載の半導体装置の製造方法において、

前記ポスト電極を保持する絶縁材よりなる保護層を前記半導体チップに形成する保護層形成工程を有することを特徴とするものである。

【0034】

上記発明によれば、ポスト電極を保持する絶縁材よりなる保護層を半導体チップに形成する保護層形成工程を設けたことにより、半導体チップ上に直接形成されたポスト電極を保護層により保持できるため、ポスト電極が微細化してもこれを確実に保護することができる。

【発明の効果】

【0035】

本発明によれば、半導体チップとインターPOーラとの接合にバンプやアンダーフィル樹脂を設ける必要が無くなり、部品点数の削減及び半導体装置の薄型化を図ることができる。また、バンプによる接続構造に比べて電極間ピッチを狭ピッチ化することが可能となり、よって半導体装置の高密度化を図ることができる。更に、半導体チップとインターPOーラ基材は直接接触させることにより一体化されるため、バンプとアンダーフィル樹脂を用いた接合力よりも強い接合力で半導体チップとインターPOーラ基材とを接合することができる。

【発明を実施するための最良の形態】

【0036】

次に、本発明を実施するための最良の形態について図面と共に説明する。

【0037】

図1は、本発明の第1実施例である半導体装置10Aを示す断面図である。本実施例に係る半導体装置10Aは、半導体チップ11とインターPOーラ20Aとよりなる簡単な構成とされている。

【0038】

半導体チップ11は高密度化された半導体チップであり、回路形成面側に複数の電極13が形成された構成とされている。この電極13は例えばアルミ電極であり、その上層にはバリアメタル14が形成されている。このバリアメタル14は、図示されないが複数の金属膜を積層した構成とされており、その最外層は銅(Cu)膜とされている。

【0039】

また、半導体チップ11の回路形成面において、電極13形成以外の領域は絶縁膜15により被覆された構成とされている。本実施例では、半導体チップ11はシリコン基板から形成されたものであり、よって絶縁膜15は二酸化シリコン(SiO₂)である。

【0040】

この二酸化シリコンは高い電気的絶縁性と、物理的な安定を有している。よって、半導体チップ11に形成された薄膜回路は、絶縁膜15により保護される。この絶縁膜15の所定位置は後述するように半導体チップ11に接触されて一体化するが、少なくともこの接触領域における絶縁膜15の表面は高精度な平滑面とされている。

【0041】

尚、図1では図示の便宜上、隣接する電極13間の距離を大きく図示しているが、前記のように半導体チップ11は高密度化されている。よって隣接する電極13間のピッチ(端子間ピッチ)も小さくなっている。具体的には本実施例で対象とする電極13の端子間ピッチは100μm以下である。

【0042】

一方、インターポーラ20Aは、インターポーラ基材21A、ポスト電極22A、再配線層23、外部接続端子24、及び第2の絶縁層26等により構成されている。インターポーラ基材21Aはシリコンにより形成されており、また半導体チップ11に形成された電極13と対応する位置にはポスト電極22Aが形成されている。

【0043】

ポスト電極22Aは、銅(Cu)により形成されている。このポスト電極22Aは、インターポーラ基材21Aに形成された貫通孔31A内に設けられている。また、インターポーラ基材21Aとポスト電極22Aが短絡しないよう、インターポーラ基材21Aとポスト電極22Aの間には、第1の絶縁層25(梨地で示す)が形成されている。本実施例では、第1の絶縁層25としてポリイミド樹脂を用いている。

【0044】

このポスト電極22Aの図中下端部はバリアメタル14に直接接合しており、また上端部は再配線層23に電気的に接続されている。再配線層23もポスト電極22Aと同様に銅により形成されており、所定のパターンを有している。そして、再配線層23のポスト電極22Aとの接続位置に対する反対側の端部には、外部接続端として機能する外部接続端子24が形成されている。この外部接続端子24は、例えばはんだボールが用いられている。

【0045】

更に、再配線層23の上部には、第2の絶縁層26が形成されている。第2の絶縁層26は、主に再配線層23を保護するために形成される。この第2の絶縁層26も、第1の絶縁層25と同様にポリイミド樹脂により形成されている。

【0046】

ここで、半導体チップ11とインターポーラ基材21Aとの接合構造、及び電極13とポスト電極22Aの電気的接続構造に注目し、以下説明する。

【0047】

先ず、半導体チップ11とインターポーラ基材21Aとの接合構造に注目すると、本実施例では半導体チップ11とインターポーラ基材21Aの接合に接着材やロウ材を用いることはしておらず、また溶着或いは溶接等の加熱を伴う接合手段も用いていない。

【0048】

本実施例では、半導体チップ11とインターポーラ基材21Aのそれぞれ接合される位

置における接合面を高精度の平滑面（鏡面）とし、半導体チップ11とインターポーザ基材21Aとを真空環境下に置いた上で、平滑面同士を押圧しつつ接触させる。これにより、平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、半導体チップ11とインターポーザ基材21Aは強固に接合された状態となる（この接合方法を微小基材面接合方法という）。

【0049】

この際、接合されるもの同士の材質は同一或いは同種であることが望ましい。即ち、半導体チップ11の接合位置における材質と、インターポーザ基材21Aの接合位置における材質は同一或いは同種であることが望ましい。これにより、半導体チップ11とインターポーザ基材21Aとの接合力を高めることができ、半導体装置10Aの信頼性を高めることができる。

【0050】

本実施例では、半導体チップ11の接合位置はSiO₂よりなる絶縁膜15であり、インターポーザ基材21Aはシリコンである。しかしながら、図示しないがインターポーザ基材21Aの表面には、通常SiO₂の薄膜層が形成されている。よって、半導体チップ11の接合位置における材質と、インターポーザ基材21Aの接合位置における材質は同一となる。

【0051】

更に、前記したように半導体チップ11及びインターポーザ基材21Aの接合位置は、いずれも平滑面とされている。よって本実施例では、真空環境下において平滑面とされた互いの接合面を接触させて押圧することにより、半導体チップ11とインターポーザ20Aは一体化する。

【0052】

このように、本実施例では半導体チップ11とインターポーザ20A（インターポーザ基材21A）とを直接接触させることにより一体化しているため、従来行なわれていたバンプとアンダーフィル樹脂を用いて半導体チップとインターポーザとを接合する構造に比べ、強い接合力で半導体チップ11とインターポーザ20Aとを接合することができる。

【0053】

また、本実施例では半導体チップ11を封止する封止樹脂は設けられておらず、これにより放熱特性の向上を図ることができる。また、単に真空環境下で接触させるだけで半導体チップ11とインターポーザ20Aを接合できるため、接合に要する部品点数の削減を図ることができる。

【0054】

尚、本実施例では、半導体チップ11とインターポーザ20Aが接合されることにより外部に形成される段部に接合補助部材27を配設した構成としている。これにより、半導体チップ11とインターポーザ20Aの取り付け強度をより高めることができ、半導体装置10Aの信頼性をより高めることができる。

【0055】

続いて、電極13とポスト電極22Aの電気的接続構造に注目する。前記したように、ポスト電極22Aはインターポーザ基材21Aに形成された貫通孔31A内に形成されている。

【0056】

従来では、半導体チップとインターポーザを電気的に接続しようとした場合、半導体チップにはんだバンプを形成し、これをインターポーザにフリップチップ接合する行なわれていたことは前述した通りである。

【0057】

これに対して本実施例では、ポスト電極22Aを半導体チップ11の電極13上（詳細にはバリアメタル14上）に直接形成した構成としたことを特徴としている。即ち、本実施例に係る半導体装置10Aはポスト電極22Aが電極13上に直接めっき法等（これについては後述する）により形成されており、ポスト電極22Aと電極13との間には、は

んだバンプ等の他の導電性要素は介在していない。

【0058】

このため、本実施例に係る半導体装置10Aによれば、従来必要とされたバンプやアンダーフィル樹脂が不要となり、部品点数の削減を図ることができる。また、バンプやアンダーフィル樹脂が不要となることにより、半導体装置10Aの薄型化を図ることもできる。更に、バンプを用いていた従来の接続構造に比べ、隣接するポスト電極22Aの電極間ピッチを狭ピッチ化することが可能となり、よって半導体装置10Aの高密度化を図ることができる。

【0059】

続いて、上記構成とされた半導体装置10Aの製造方法について説明する。図2乃至図4は、半導体装置10Aの製造方法を説明するための図である。尚、図2乃至図4において、図1に示した構成と同一構成については同一符号を付してその説明を省略するものとする。

【0060】

半導体装置10Aを製造するには、図2(A)に示すように、半導体チップ11とインターポーザ基材21Aを用意する。半導体チップ11は、周知の半導体製造プロセスを経ることにより製造されるものであり、回路形成面側(図中上面)にはバリアメタル14により保護された電極13が形成されている。

【0061】

また、電極13の形成位置以外はSiO₂よりなる絶縁膜15が形成されており、この絶縁膜15により回路形成面に形成された電子回路は保護されている。この絶縁膜15の少なくともインターポーザ基材21Aと接合される部位は、高精度に平滑化されている。

【0062】

一方、インターポーザ基材21Aは、シリコンウエハーから切り出したものであり、半導体チップ11に形成された電極13と対応する位置には貫通孔31Aが形成されている。この貫通孔31Aは、電極13の面積よりも広い断面積を有するよう構成されている。このインターポーザ基材21Aは、その表面全面に保護膜としてのSiO₂膜(図示せず)が形成されている。

【0063】

更に、インターポーザ基材21Aの表面で、少なくとも半導体チップ11と接合される部位は、高精度に平滑化されている。この半導体チップ11及びインターポーザ基材21Aに形成される接合面を平滑化する方法としては種々の方法が考えられるが、比較的安価な処理としてはラッピング等の研削法を用いることができ、また更に高精度の平坦面を形成しようとする場合にはCMP(化学機械研磨)またはドライエッティングを適用することも考えられる。

【0064】

上記構成とされた半導体チップ11及びインターポーザ基材21Aは、真空装置内に入れられる。そして貫通孔31Aと電極13とを位置決めした上で、図2(B)に示されるように、半導体チップ11とインターポーザ基材21Aは、互いの平坦面(鏡面)同士が接触され統いて加圧される。これにより、平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、これにより半導体チップ11とインターポーザ基材21Aは強固に接合された状態となる(一体化工程)。

【0065】

一体化工程が終了すると、続いて貫通孔31A内でかつ半導体チップ11の電極13(バリアメタル14)にポスト電極22Aを直接形成するポスト電極形成工程が実施される。このポスト電極形成工程では、先ず図2(C)に示されるように、貫通孔31Aを封止すると共にインターポーザ基材21Aの上面が被覆されるよう第1の絶縁層25を形成する。この第1の絶縁層25はポリイミド樹脂であり、スピナー法或いはポッティング法を用いてインターポーザ基材21Aに形成することができる。

【0066】

第1の絶縁層25が形成されると、続いて図3(A)に示されるように、第1の絶縁層25の上部に所定の開口部33を有した第1のレジスト材32が形成される。続いて、この第1のレジスト材32をマスクとして第1の絶縁層25を除去する処理が行なわれる。この除去処理が実施されることにより、図3(B)に示すように電極用孔34が形成されると共に、電極用孔34の下端にバリアメタル14が露出する。

【0067】

次に、電極用孔34内に銅めっきを実施し、これにより図3(C)に示すように、電極用孔34内にポスト電極22Aを形成する。この際、ポスト電極22Aはバリアメタル14上に銅が直接析出されることにより形成されるため、ポスト電極22Aはバリアメタル14(即ち、電極13)上に直接形成された構成となる。尚、ポスト電極22Aの形成には、電解めっき法或いは無電解めっき法のいずれをも用いることが可能である。

【0068】

上記したポスト電極形成工程が終了すると、続いて再配線層23を形成する再配線形成工程が実施される。この再配線形成工程では、図4(A)に示すように、再配線層23の形成位置に開口部36を有したパターンの第2のレジスト材35が形成される。この第2のレジスト材35は、ホトレジスト材をインターポーザ基材21A上に塗布し、その後に露光及び現像処理を行なうことにより形成される。

【0069】

第2のレジスト材35が形成されると、続いて開口部36内に銅めっきを実施し、これにより図4(B)に示すように、開口部36内に再配線層23を形成する。この際、ポスト電極22Aの上端部に直接再配線層23が形成されるため、ポスト電極22Aと再配線層23との電気的接続性は良好となる。尚、再配線層23の形成方法についても、電解めっき法或いは無電解めっき法のいずれを用いることも可能である。

【0070】

上記した再配線形成工程が終了すると、続いて再配線層23上に外部接続端子24を形成する外部接続電極形成工程が実施される。外部接続電極形成工程では、先ず第2のレジスト材35を除去すると共に、これにより露出した第1の絶縁層25及び再配線層23の上部に第2の絶縁層26を形成する。この第2の絶縁層26は、第1の絶縁層25と同質であるポリイミド樹脂により形成されている。

【0071】

この第1の絶縁層25の再配線層23と対向する所定位置には、図4(C)に示すよう、開口部37が形成される。本実施例では、開口部37を再配線層23のポスト電極22Aと接続する端部と反対側の端部に形成しているが、開口部37の形成位置は任意に選定することが可能である。尚、開口部37の形成方法としては、エッティング法或いはレーザ加工法等を用いることができる。

【0072】

続いて、図4(D)に示すように、上記の開口部37にははんだボールよりなる外部接続端子24が搭載され、熱処理することにより再配線層23に接合させる。以上の一連の工程を実施することにより、図1に示す半導体装置10Aが製造される。

【0073】

上記した製造方法によれば、一体化工程において半導体チップ11とインターポーザ基材21Aは直接接触させることにより一体化される。このため、半導体チップ11とインターポーザ20Aの接合に、従来必要とされたバンプやアンダーフィル樹脂を設ける必要が無くなり、製造工程の簡略化を図ることができる。

【0074】

また、一体化工程の終了後に実施されるポスト電極形成工程では、貫通孔31A内に基板22Aが形成される。この際、ポスト電極22Aは半導体チップ11のバリアメタル14(電極13)に直接形成されるため、半導体チップ11とインターポーザ20A間のインピーダンスの低減を図ることができ、電気的特性の向上を図ることができる。また、インターポーザ基材21Aに形成された貫通孔31A(実際には、内周に第1の絶縁層25

の膜が形成されている)を型としてポスト電極22Aが形成されるため、ポスト電極22Aの形成を簡単化することができる。

【0075】

尚、上記実施例では、半導体チップ11とインターポーラ基材21Aの接合位置における材質を同一材質(SiO₂)としたが、必ずしも半導体チップ11とインターポーラ基材21Aの接合位置における材質を同一材質とする必要はない。例えば、SiO₂膜が存在しないSiのみからなるインターポーラ基材21Aであっても、接合面同士が平滑面であればSiO₂よりなる絶縁膜15と接触させるのみで接合することは可能である。

【0076】

続いて、本発明の第2実施例について説明する。図5は、本発明の第2実施例である半導体装置10Bを示しており、また図6は半導体装置10Bの製造方法を示している(一体化工程のみ示す)。尚、図5において、先の説明に用いた図1乃至図4に示した構成と同一構成については、同一符号を付してその説明を省略するものとする。また、後の説明に用いる図6以降の各図についても同様とする。

【0077】

本実施例に係る半導体装置10Bは、半導体チップ11に形成されている絶縁膜15の表面にチップ側ポリイミド膜16(請求項に記載の第1の絶縁材層に相当する。以下、チップ側PI膜16という)を形成すると共に、インターポーラ20Bを構成するインターポーラ基材21Aの外周にインターポーラ側ポリイミド膜28(請求項に記載の第2の絶縁材層に相当する。以下、インターポーラ側PI膜28という)を形成したことを特徴とするものである。

【0078】

本実施例では、チップ側PI膜16を絶縁膜15の表面全面(電極13の形成位置は除く)に形成しており、またインターポーラ側PI膜28はインターポーラ基材21Aの外周全面に形成されている。しかしながら、各PI膜16, 28は必ずしも絶縁膜15及びインターポーラ基材21Aの外周全面に形成しなければならないものではなく、少なくとも半導体チップ11とインターポーラ基材21Aとの接合位置に形成されていればよい。

【0079】

チップ側PI膜16及びインターポーラ側PI膜28の半導体チップ11とインターポーラ基材21Aとが接合される位置は、高い平滑性を有した平滑面とされている。本実施例では、半導体チップ11に形成されたチップ側PI膜16と、インターポーラ基材21Aに形成されたインターポーラ側PI膜28を接触させることにより、半導体チップ11とインターポーラ基材21Aとを接合した構成とされている。

【0080】

したがって半導体装置10Bの製造方法においては、一体化工程を実施する際、図6(A)に示すように予め半導体チップ11側では絶縁膜15上にチップ側PI膜16を形成しておき、またインターポーラ基材21A側ではその表面(本実施例では、外周全面)にインターポーラ側PI膜28を形成しておく。そして、上記構成とされた半導体チップ11及びインターポーラ基材21Aは、真空装置内に入れられ、所定の真空環境下で互いの平坦面(鏡面)同士が接触され繰り返して加圧される。

【0081】

これにより、図6(B)に示されるように平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、これにより半導体チップ11とインターポーラ基材21Aは強固に接合された状態となる。このように、半導体チップ11及びインターポーラ基材21Aの表面にPI膜16, 28(樹脂膜)が被膜された状態であっても、接着剤等を用いなくても接触させ押圧するのみで半導体チップ11とインターポーラ基材21Aとを接合することができる。

【0082】

この際、PI膜16, 28を半導体チップ11及びインターポーラ基材21Aの接合位置のみに形成した場合には、接合に必要な高かい平滑性を持たせる領域を狭くすることができます。

でき、P I 膜 16, 28 の表面平滑化処理を容易化することができる。また、P I 膜 16, 28 を半導体チップ 11 及びインター ポーラ基材 21 A の外周全面に形成した場合には、この P I 膜 16, 28 を半導体チップ 11 及びインター ポーラ基材 21 A を保護する保護層として機能させることができる。

【0083】

尚、一体化工程が終了した後の工程は、図 2 乃至図 4 を用いて説明した第 1 実施例に係る半導体装置 10 A の製造方法と同一であるため、その説明は省略する。

【0084】

続いて、本発明の第 3 実施例について説明する。図 7 は、本発明の第 3 実施例である半導体装置 10 C を示しており、また図 8 は半導体装置 10 C の製造方法を示している（ポスト電極形成工程及び一体化工程のみ示す）。

【0085】

本実施例に係る半導体装置 10 C は、一体化工程を実施する前にポスト電極形成工程を実施することにより製造されたことを特徴とするものである。即ち、本実施例に係る半導体装置 10 C は、半導体チップ 11 の電極 13 (バリアメタル 14) 上にポスト電極 22 B を直接形成した後、このポスト電極 22 B が形成された半導体チップ 11 をインター ポーラ基材 21 A と直接接合させることにより製造される。

【0086】

図 8 (A) に示すように、半導体チップ 11 にポスト電極 22 B を形成するには、例えば次のような方法を用いることができる。即ち、先ず半導体チップ 11 の回路形成面上に感光性を有したドライフィルムを貼着する。このドライフィルムの厚さは、ポスト電極 22 B の高さと等しく設定されている。続いて、このドライフィルムに露光及び現像処理を行なうことにより、ポスト電極 22 B の形成位置に貫通孔を形成する。

【0087】

この貫通孔が形成された状態で、その底部にはバリアメタル 14 が露出した状態となる。続いて、銅めっきを行なうことにより、ドライフィルムに形成された貫通孔内にポスト電極 22 A を形成する。この際、ポスト電極 22 A はバリアメタル 14 (電極 13) 上に直接形成された構成となる。続いて、ドライフィルムを剥離することにより、図 8 (A) に示すポスト電極 22 B が形成された半導体チップ 11 が製造される。

【0088】

上記したポスト電極形成工程が終了すると、続いて一体化工程が実施される。この一体化工程では、半導体チップ 11 及びインター ポーラ基材 21 B は真空装置内に入れられ、所定の真空環境下で互いの平坦面（鏡面）同士が接触され続いて加圧される。これにより平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、図 8 (B) に示されよう、半導体チップ 11 とインター ポーラ基材 21 B は強固に接合された状態となる。

【0089】

この半導体チップ 11 とインター ポーラ基材 21 B とが一体化した状態において、ポスト電極 22 B はインター ポーラ基材 21 A に形成されている貫通孔 31 A 内に挿通された状態となっている。また、ポスト電極 22 B の直径は、貫通孔 31 A の直径に対して小さいため、ポスト電極 22 B の外周面と貫通孔 31 A の内周面との間には間隙が形成される。

【0090】

上記の一体化工程が終了すると、第 1 の絶縁層 25 の形成処理が実施される。この際、図 8 (C) に示されるように、第 1 の絶縁層 25 はポスト電極 22 B の外周面と貫通孔 31 A の内周面との間の間隙内にも充填される。尚、第 1 の絶縁層 25 の形成処理が終了した後の工程は、図 2 乃至図 4 を用いて説明した第 1 実施例に係る半導体装置 10 A の製造方法と同一であるため、その説明は省略する。

【0091】

上記のように本実施例に係る半導体装置 10 C 及びその製造方法によれば、ポスト電極形成工程の終了後に一体化工程を実施しているため、ポスト電極 22 B の形成はインター

ポーザ基材 21A に形成された貫通孔 31A に拘わらず形成することができる。即ち、前記した第 1 実施例に係る半導体装置 10A の製造方法と異なり、貫通孔 31A はポスト電極 22B を形成するためのいわゆる型としては用いられていないため、ポスト電極 22B と貫通孔 31A とを別個に形成することができる（但し、ポスト電極 22B の直径を貫通孔 31A の直径に対して小さくする必要はある）。

【0092】

このため、インターポーザ基材 21A に形成された貫通孔 31A を利用してポスト電極 22A を形成した第 1 実施例に係る製造方法に比べ、本実施例に係る半導体装置 10C の製造方法によれば貫通孔 31A を容易に形成することができる。

【0093】

また、第 1 実施例に係る製造方法では、貫通孔 31A を型としてポスト電極 22A を形成する構成であったため、貫通孔 31A の直径がそのままポスト電極 22A の直径を決める要因となっていた。

【0094】

インターポーザ基材 21A に対する穴あけ加工は、機械加工或いはレーザ加工が主である。これに対して本実施例では、感光性を有したドライフィルムに露光及び現像処理を行なうことによりポスト電極 22B の形成用の貫通孔を形成するため、貫通孔の微細化を図ることができる。これにより、ポスト電極 22B の狭ピッチで配設することができ、半導体装置 10C の高密度化を図ることができる。

【0095】

続いて、本発明の第 4 実施例について説明する。図 9 は、本発明の第 4 実施例である半導体装置 10D を示しており、また図 10 は半導体装置 10D の製造方法を示している（一体化工程のみ示す）。

【0096】

本実施例に係る半導体装置 10D は、複数（図では 2 本のみ示す）のポスト電極 22A をひとつの貫通孔 31B 内に配設したことを特徴としている。このため、図 10 (A) に示すように、インターポーザ基材 21B に形成される貫通孔 31B は、前記した第 1 乃至第 3 実施例における貫通孔 31A に比べて広い面積を有した構成とされている。また一体化工程においては、図 10 (B) に示すように、インターポーザ基材 21B の貫通孔 31B が形成された縁部が半導体チップ 11 と直接接合される構成となる。

【0097】

本実施例の構成とすることにより、ひとつの貫通孔 31B 内に複数のポスト電極 22A が配設されるため、ポスト電極 22A の形成精度に比べ貫通孔 31B の形成精度を低くすことができ、よって貫通孔 31B の形成を容易化することができる。

【0098】

続いて、本発明の第 5 実施例について説明する。図 11 は、本発明の第 4 実施例である半導体装置 10E を示しており、また図 12 は半導体装置 10E の製造方法を示している（ポスト電極形成工程及び一体化工程のみ示す）。

【0099】

本実施例に係る半導体装置 10E も第 3 実施例に係る半導体装置 10D と同様に、複数のポスト電極 22B がひとつの貫通孔 31B 内に配設された構成とされている。よって、このポスト電極 22B も、バリアメタル 14（電極 13）上に直接形成された構成となっている。

【0100】

また、ポスト電極 22B は前記した第 3 実施例と同様に感光性を有したドライフィルムを用いて形成され、またポスト電極 22B の形成のタイミングは一体化工程よりも先に実施される。更に本実施例では、半導体チップ 11 にポスト電極 22B が形成された後、ポスト電極 22B を保護する保護層 17 を形成することを特徴としている。

【0101】

保護層 17 は、絶縁材よりなる。具体的には、本実施例ではポスト電極 22B の形成に

用いたドライフィルムを剥離することなく、そのまま保護層17として使用した構成としている（保護層形成工程）。この構成とすることにより、ドライフィルムを剥離する工程を無くすることができ、新たに保護層17を設ける構成に比べて製造工程の短縮及び部品点数の削減を図ることができる。但し、保護層17の形成方法は本実施例の製造方法に限定されるものではなく、他の方法（例えば、レジスト等を利用する方法）を用いてもよい。

【0102】

上記したポスト電極22Bを形成するポスト電極形成工程、及び保護層17を形成する保護層形成工程が終了すると、一体化工程が実施される。この一体化工程では、所定の真空間環境下で半導体チップ11及びインターポーザ基材21Bの平坦面（鏡面）同士が接触加圧される。

【0103】

これにより平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、図12(B)に示されように、半導体チップ11とインターポーザ基材21Bは強固に接合された状態となる。この接合状態において、保護層17の外周と貫通孔31Bの内周との間には、図12(B)に示されように隙間が形成されるよう構成されている。

上記の一体化工程が終了すると、第1の絶縁層25の形成処理が実施される。この際、図12(C)に示されるように、第1の絶縁層25は保護層17の外周面と貫通孔31Bの内周面との間の隙間に充填される。尚、第1の絶縁層25の形成処理が終了した後の工程は、図2乃至図4を用いて説明した第1実施例に係る半導体装置10Aの製造方法と同一であるため、その説明は省略する。

【0104】

上記のように本実施例では、ポスト電極22Bを絶縁材よりなる保護層17で保持する構成としているため、狭ピッチ化に伴いポスト電極22Bが微細化しても、半導体チップ11上に直接形成されたポスト電極22Bを確実に保護することができる。更に、ポスト電極22Bを貫通孔31Bに挿入する際、ポスト電極22B（特に貫通孔31Bの内周に近いポスト電極22B）がインターポーザ基材21Bと衝突して破損することを防止することができる。

【0105】

続いて、本発明の第6乃至第8実施例について説明する。図13は第6実施例である半導体装置10Fを示しており、図14は第7実施例である半導体装置10Gを示しており、更に図15は第8実施例である半導体装置10Hを示している。各実施例に係る半導体装置10G～10Hは、上記した第1乃至第5実施例に係る半導体装置10A～10Eにおいて、更に薄型化を図れるよう構成したものである。

【0106】

図13に示す半導体装置10Fは、インターポーザ20Fをインターポーザ基材21Cと補強部材29により構成したことを特徴としている。インターポーザ基材21Cは、第1乃至第5実施例に係る半導体装置10A～10Eで用いていたインターポーザ基材21A、21Bに比べて薄く形成されている。しかしながら、このインターポーザ基材21Cにはステイフナーとして機能する補強部材29が設けられており、所定の機械的強度を維持するよう構成されている。

【0107】

補強部材29は中央に開口部38が形成されており、この開口部38の面積はインターポーザ基材21Cに形成された貫通孔31Bの面積及び半導体チップ11の面積よりも広く設定されている。即ち、半導体チップ11がインターポーザ基材21Cに直接的に一体化した状態において、補強部材29とインターポーザ基材21Cとの間には段差部39が形成され、この段差部39内に半導体チップ11が収納された構成となっている。この構成とすることにより、半導体チップ11はインターポーザ20Fに形成された段差部39内（窪んだ部分）に収納できるため、半導体装置10Fの薄型化を図ることができる。

【0108】

図14に示す半導体装置10Gは、別個に補強部材29を設けることなく、インターポーザ基材21Dに直接に段差部30を形成したことを特徴とするものである。更に、図15に示す半導体装置10Hは、インターポーザ基材21Eに形成する貫通孔31Cの面積を半導体チップ11の面積よりも大きくすることにより、半導体チップ11を貫通孔31C内に収納するよう構成したものである。いずれの構成の半導体装置10G, 10Hであっても、半導体チップ11の高さの一部或いは全部がインターポーザ基材21D, 21Eの厚さと重なるため、半導体装置10G, 10Hの薄型化を図ることができる。

【図面の簡単な説明】

【0109】

【図1】図1は、本発明の第1実施例である半導体装置を示す断面図である。

【図2】図2は、第1実施例である半導体装置の製造方法を説明するための図である(その1)。

【図3】図3は、第1実施例である半導体装置の製造方法を説明するための図である(その2)。

【図4】図4は、第1実施例である半導体装置の製造方法を説明するための図である(その3)。

【図5】図5は、本発明の第2実施例である半導体装置を示す断面図である。

【図6】図6は、第2実施例である半導体装置の製造方法を説明するための図である。

【図7】図7は、本発明の第3実施例である半導体装置を示す断面図である。

【図8】図8は、第3実施例である半導体装置の製造方法を説明するための図である。

【図9】図9は、本発明の第4実施例である半導体装置を示す断面図である。

【図10】図10は、第4実施例である半導体装置の製造方法を説明するための図である。

【図11】図11は、本発明の第5実施例である半導体装置を示す断面図である。

【図12】図12は、第5実施例である半導体装置の製造方法を説明するための図である。

【図13】図13は、本発明の第6実施例である半導体装置を示す断面図である。

【図14】図14は、本発明の第7実施例である半導体装置を示す断面図である。

【図15】図15は、本発明の第8実施例である半導体装置を示す断面図である。

【符号の説明】

【0110】

10A～10H 半導体装置

11 半導体チップ

13 電極

14 バリアメタル

15 絶縁膜

16 チップ側P I膜

17 保護層

20A～20H インターポーザ

21A～21E インターポーザ基材

22A, 22B ポスト電極

23 再配線層

24 外部接続端子

25 第1の絶縁層

26 第2の絶縁層

27 接合補助部材

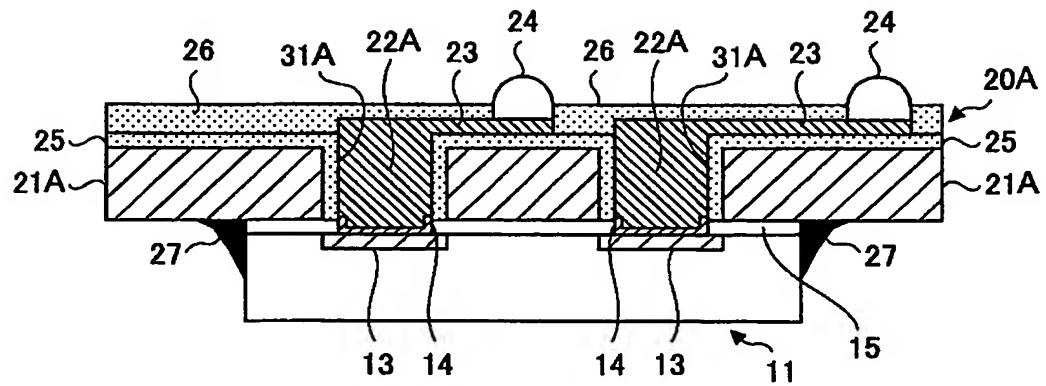
28 インターポーザ側P I膜

29 補強部材

- 30, 39 段差部
- 31A～31C 貫通孔
- 32 第1のレジスト材
- 33, 36, 37 開口部
- 34 電極用孔
- 35 第2のレジスト材

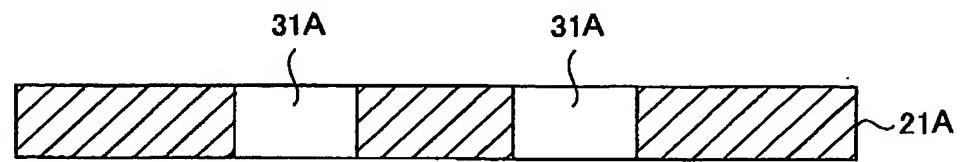
【書類名】図面
【図 1】

10A

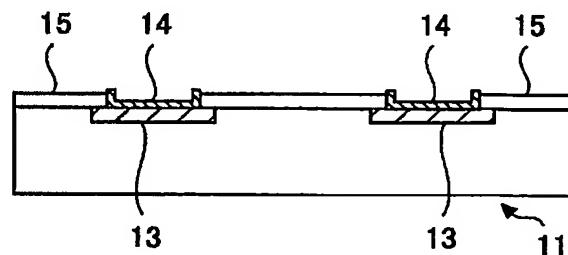


出証特2004-3071410

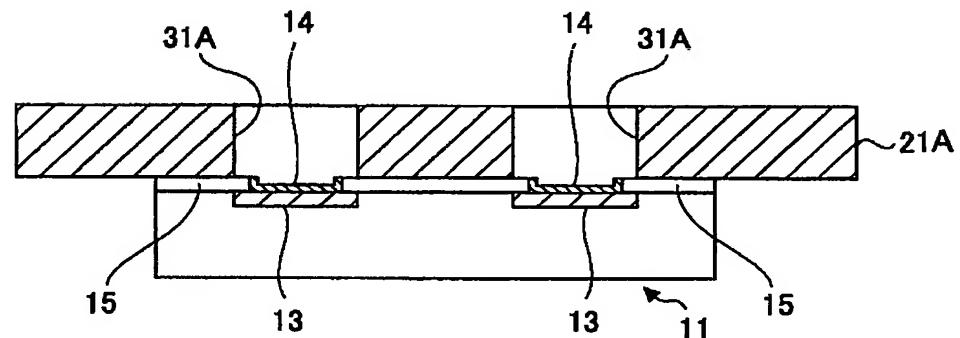
【図2】



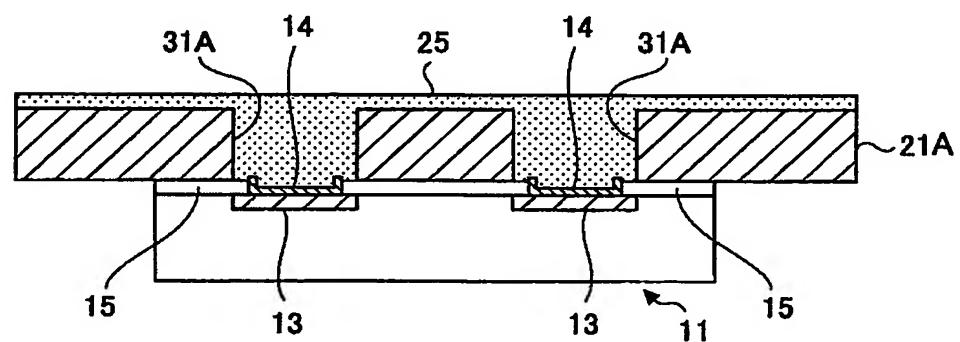
(A)



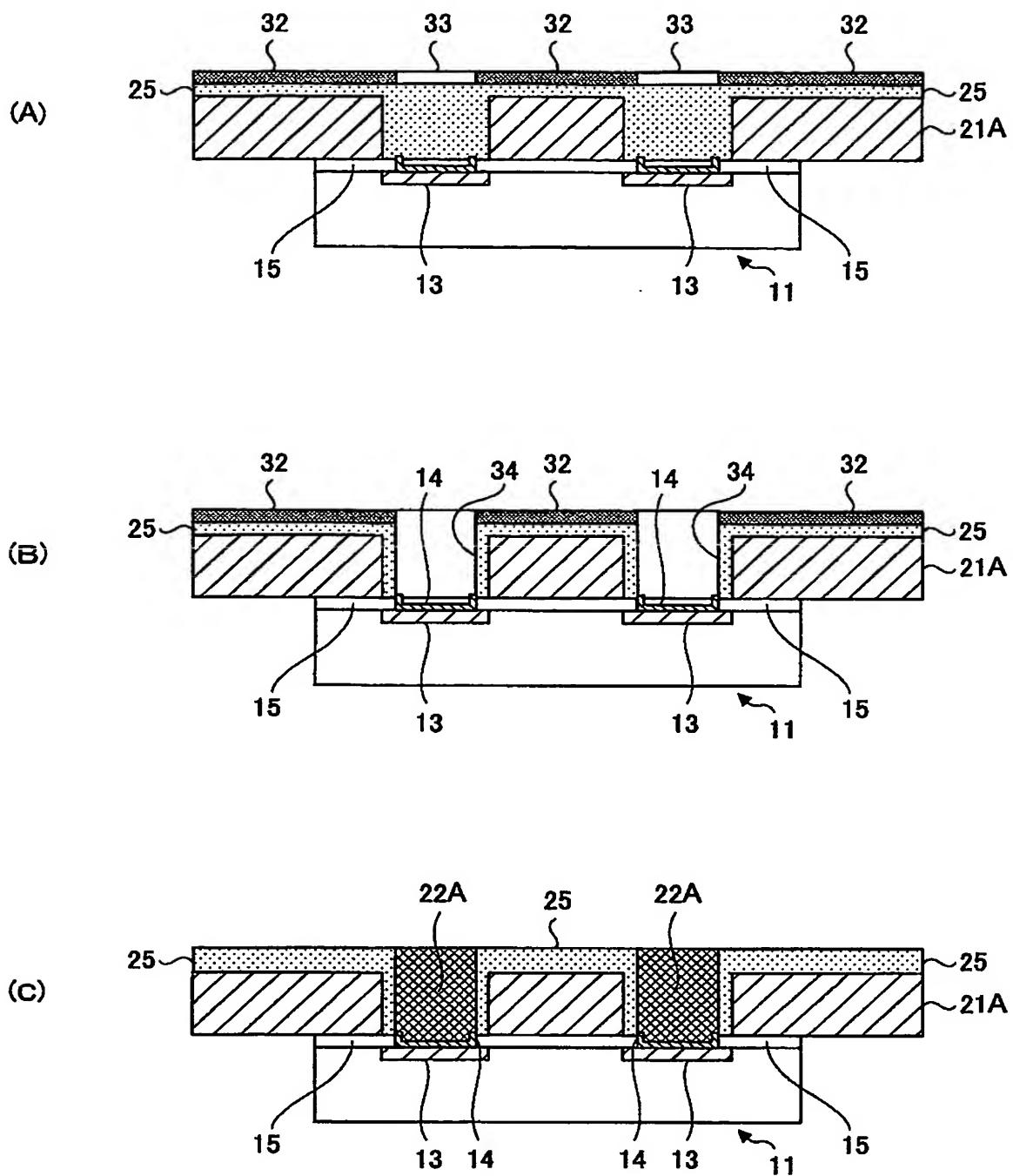
(B)



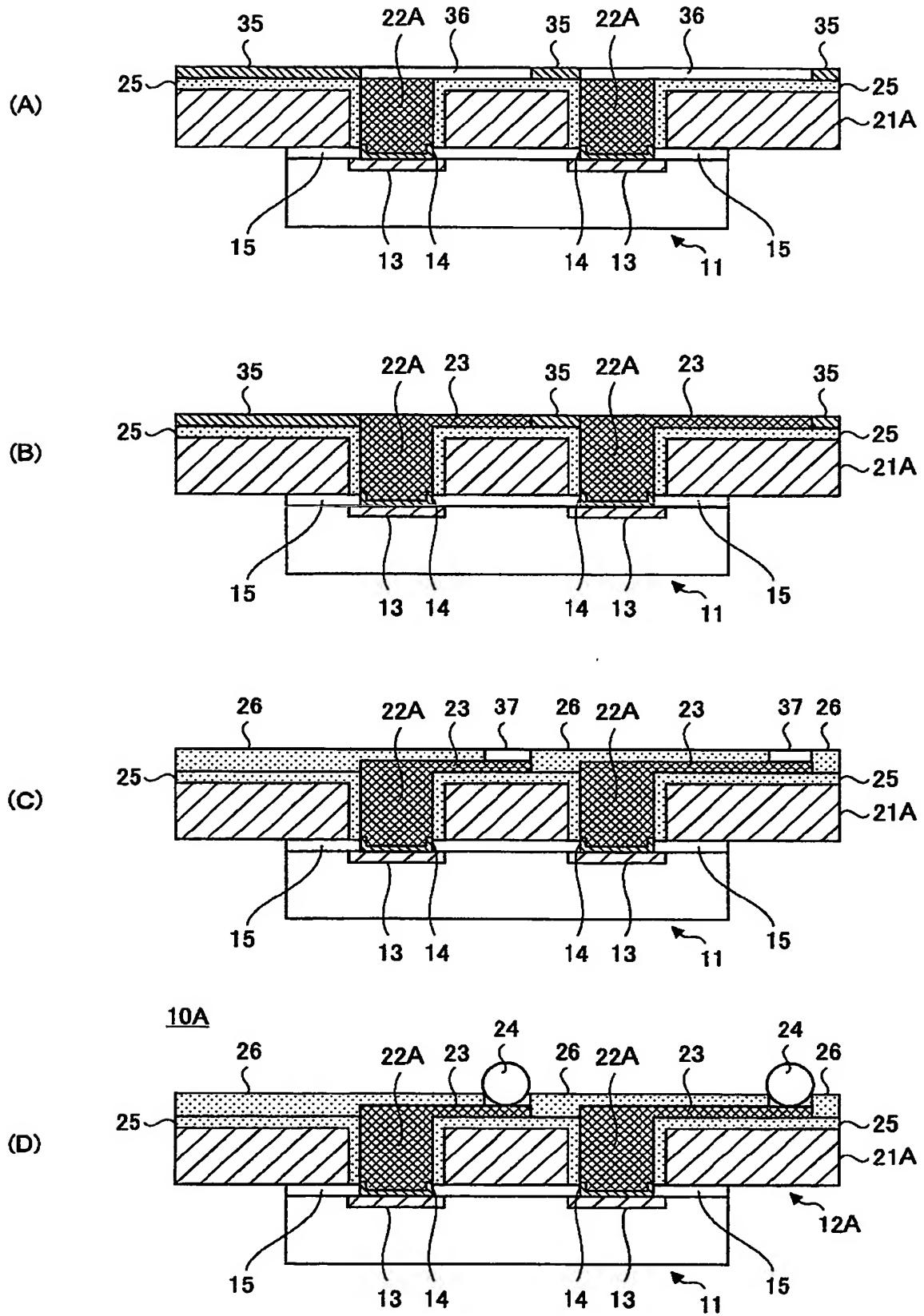
(C)



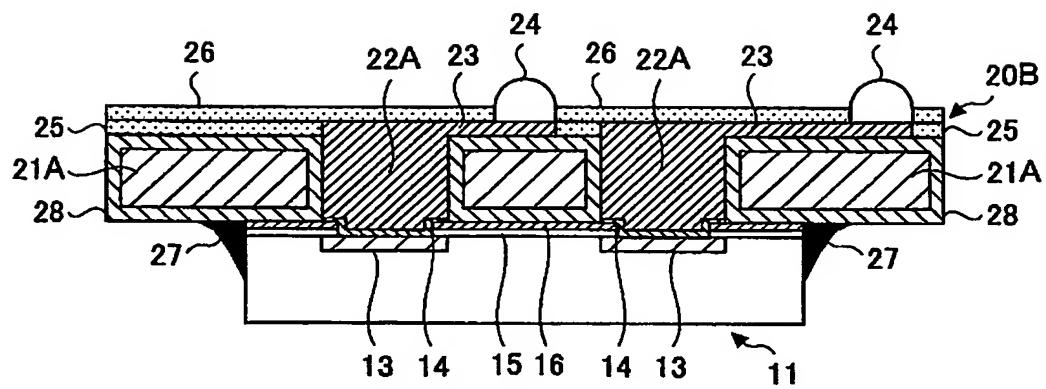
【図3】



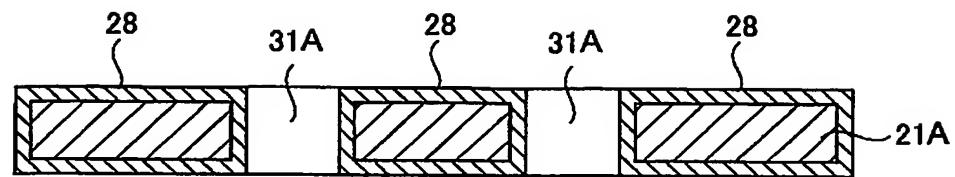
【図4】



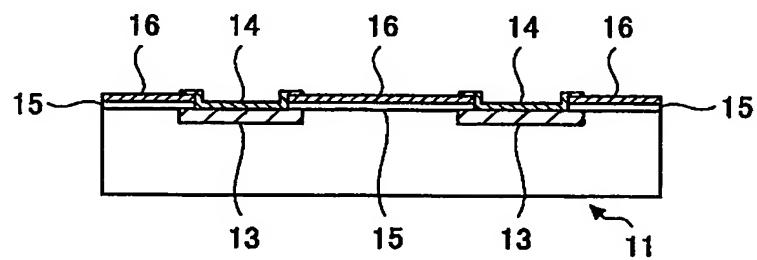
【図5】

10B

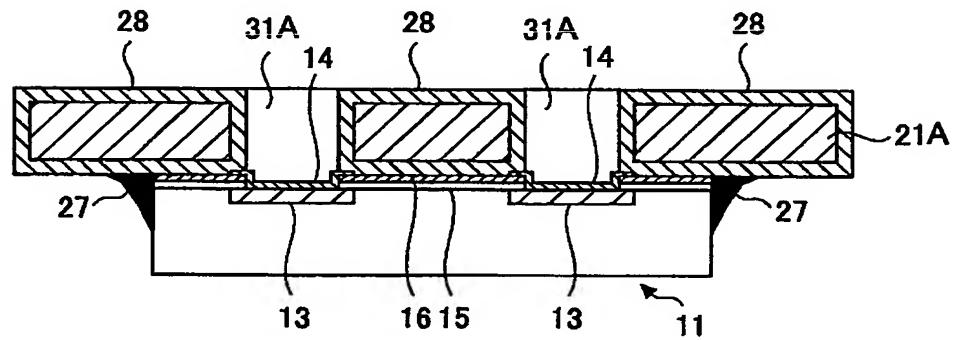
【図6】



(A)

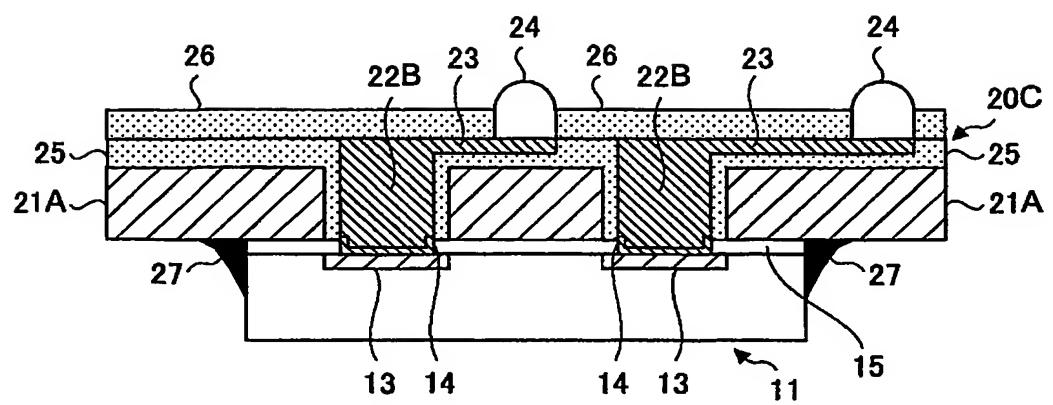


(B)

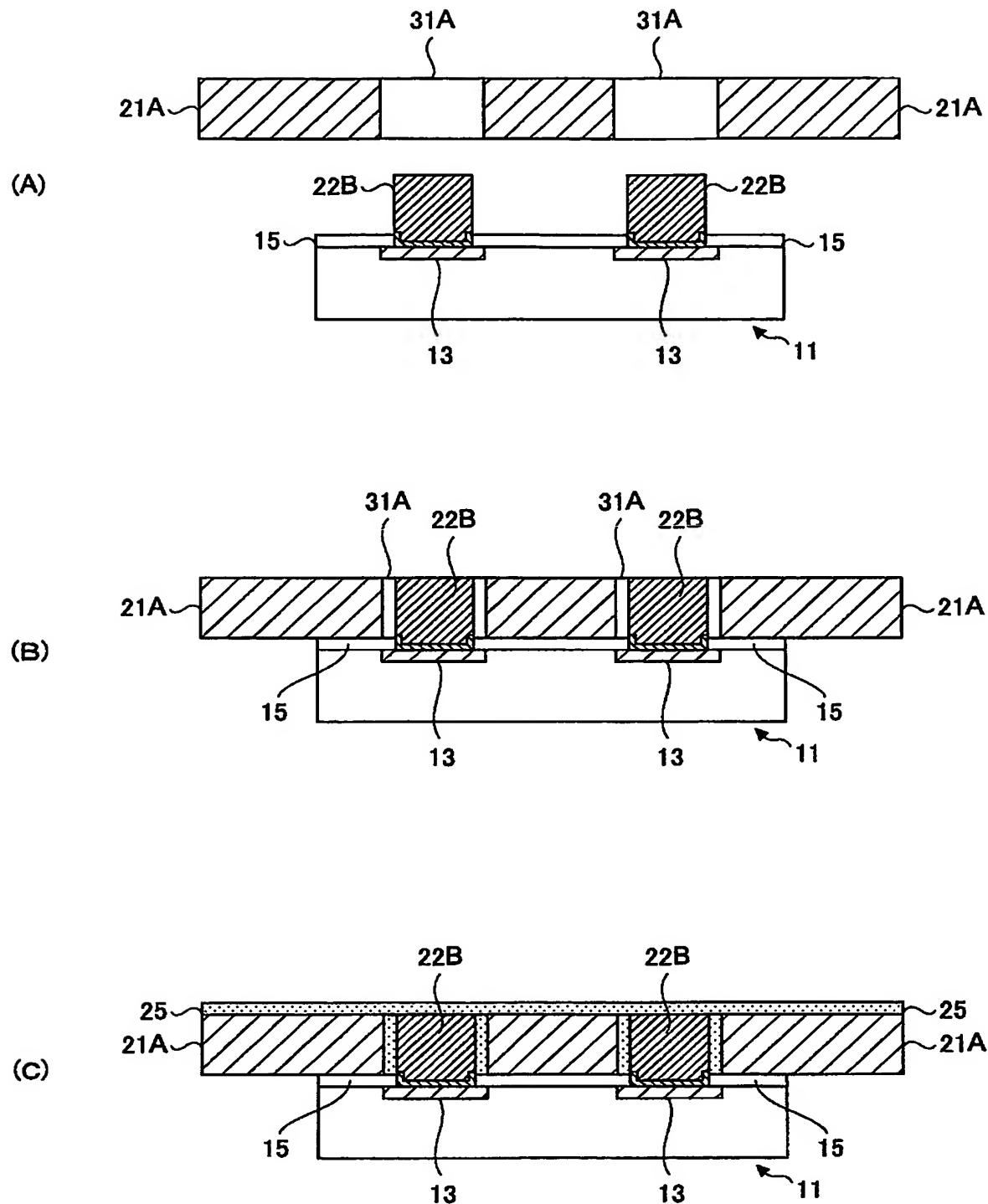


【図7】

10C

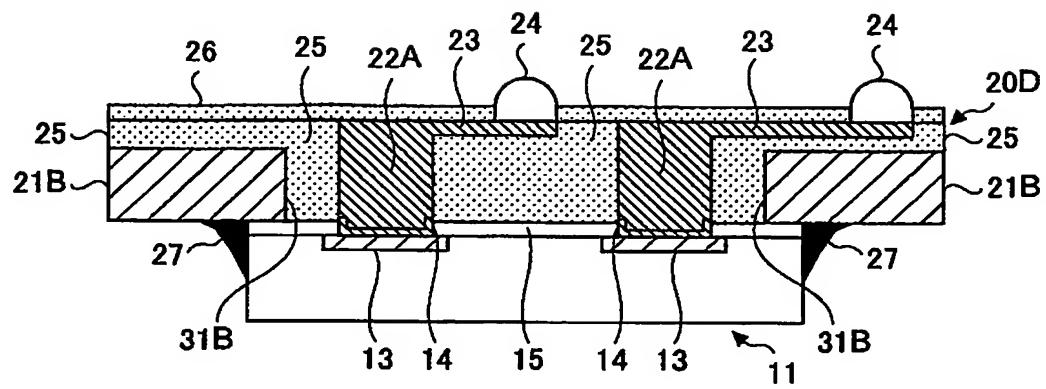


【図8】

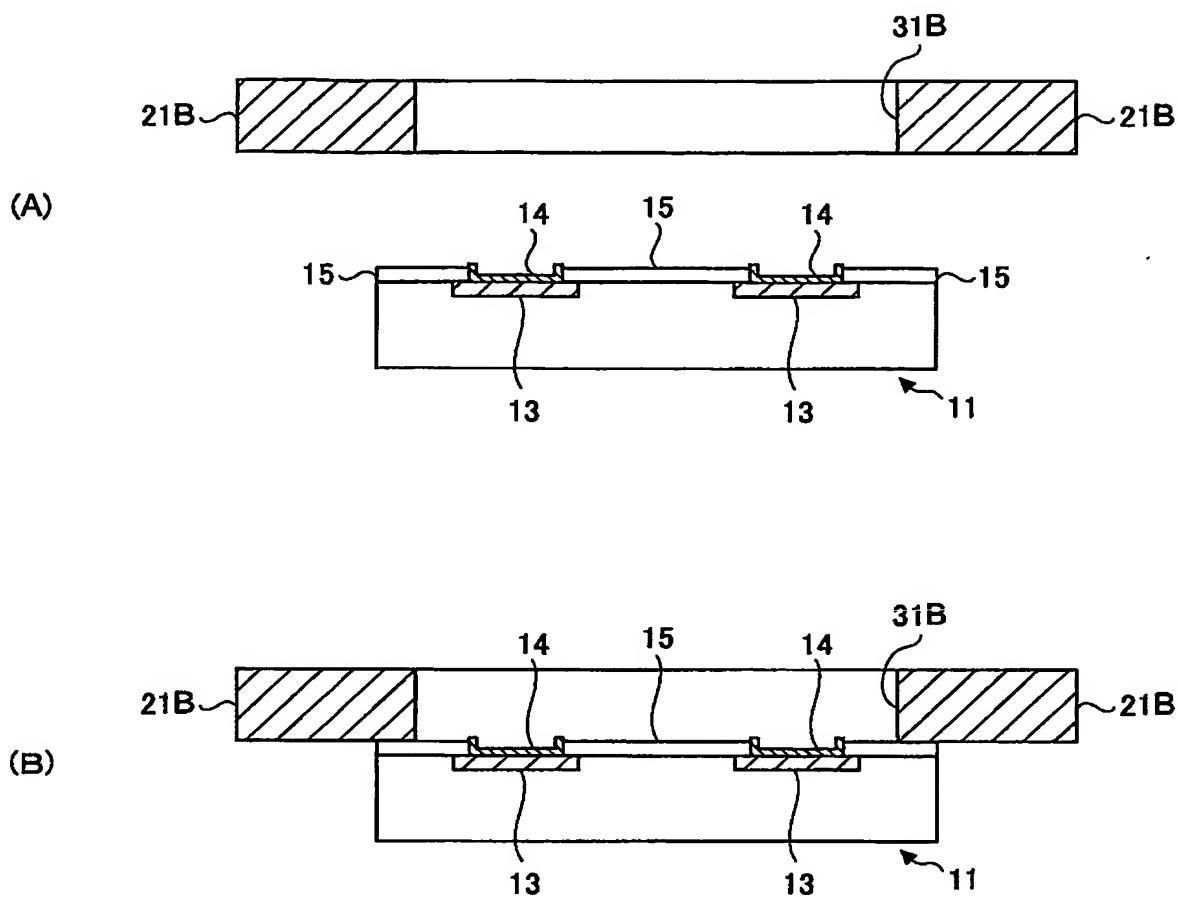


【図9】

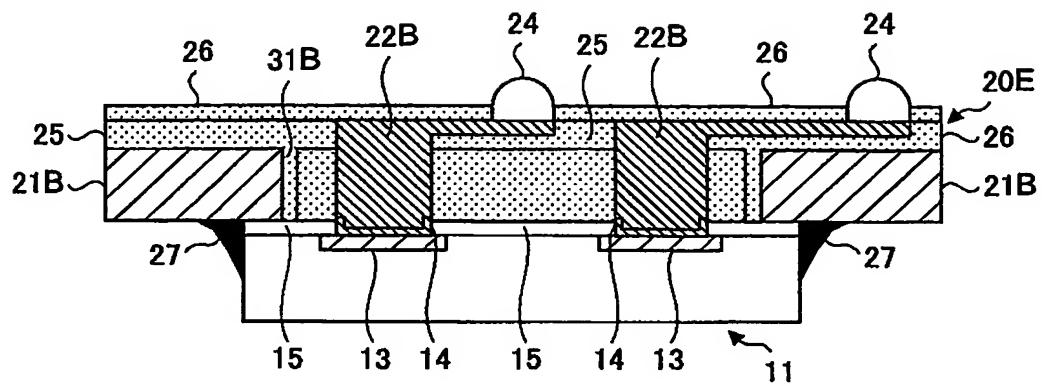
10D



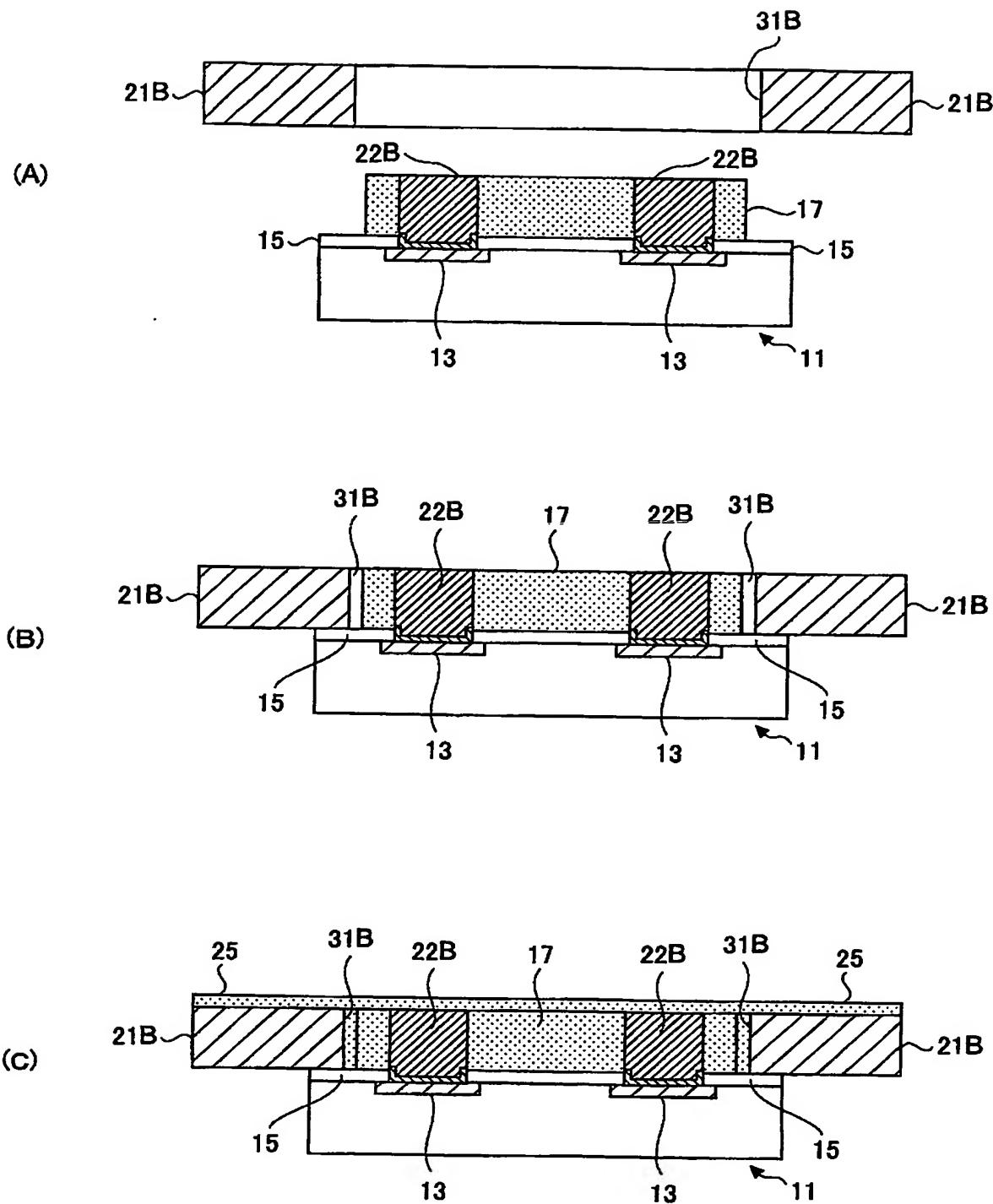
【図 10】



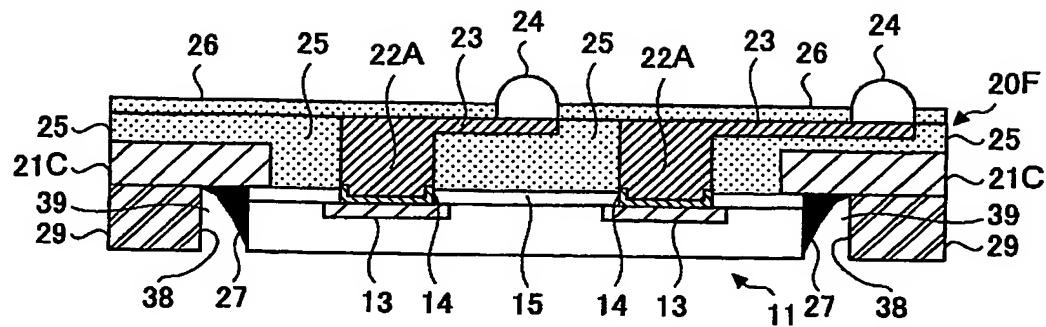
【図11】

10E

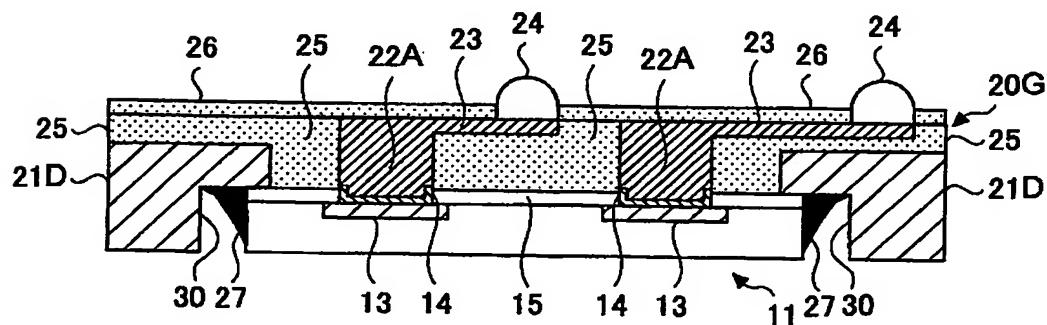
【図12】



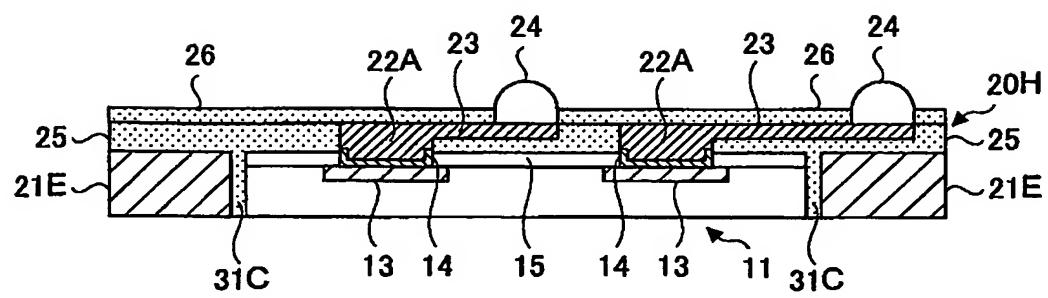
【図13】

10F

【図14】

10G

【図15】

10H

【書類名】要約書

【要約】

【課題】 本発明はインターポーザを介して半導体チップを実装基板に電気的に接続する構成とされた半導体装置及びその製造方法に関し、容易かつ確実に狭ピッチ化に対応すると共に製造コストの低減を図ることを課題とする。

【解決手段】 半導体チップ11と、インターポーザ20Aとを有する半導体装置に関する。インターポーザ20Aは、半導体チップ11が接合されるインターポーザ基材21Aと、このインターポーザ基材21Aに形成された貫通孔31A内に配設され半導体チップ11の電極13（バリアメタル14）と接続される複数のポスト電極22Aとを有する。また、半導体チップ11の表面とインターポーザ基材21Aの表面とを直接接触させることにより一体化すると共に、ポスト電極22Aを半導体チップ11の電極13上に直接形成した構成とする。

【選択図】 図1

出願人履歴情報

識別番号

[000190688]

1. 変更年月日
[変更理由]

2003年10月 1日

住所変更

長野県長野市小島田町80番地
新光電気工業株式会社